



KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 21/336

(11) Publication No.: P1996-0035923

(43) Publication Date: 28 October 1996

(21) Application No.: 10-1995-0006091

(22) Application Date: 22 March 1995

(71) Applicant:

Hyundai Electronics Co., Ltd.

San 136-1 Amiri, Pubal-eub, Icheon-kun, Kyunggi-do, Korea

(72) Inventor:

HWANG, JUN

(54) Title of the Invention:

Method of Manufacturing Semiconductor Device

Abstract:

Provided is a method of manufacturing a semiconductor device having shallow junctions. In an existing PMOS transistor, shallow junctions are difficult to form due to fast diffusion characteristic of boron. However, the semiconductor device includes a PMOS transistor having shallow junctions which are formed to a depth of 0.1 μm or less using a dual spacer made of polysilicon into which boron ions are implanted and nitride or a dual spacer made of BSG containing boron ions and nitride. Accordingly, a driving capability of the semiconductor device can increase, a hot carrier effect can decrease, and the semiconductor device can be highly integrated.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 1996-0035923
H01L 21/336 (43) 공개일자 1996년 10월 28일

(21) 출원번호 특 1995-0006091
(22) 출원일자 1995년 03월 22일
(71) 출원인 현대전자산업 주식회사 김주용
경기도 이천군 부발읍 아미리 산 136-1 (우 : 467-860)
(72) 발명자 황준
충청북도 진천군 만승면 광혜원리 정암3차APT 가동 405호
(74) 대리인 최승민, 신영무

심사청구 : 있음

(54) 반도체 소자의 제조 방법

요약

본 발명은 깊이가 얇은 접합부를 갖는 반도체 소자의 제조방법에 관하여 개시된다.

본 발명은 붕소이온이 주입된 폴리실리콘과 질화물로 된 이중 스페이서 또는 붕소이온이 함유된 BSG와 질화물로 된 이중 스페이서를 사용하여/붕소의 빠른 확산특성 때문에 얇은 접합부를 형성하기 어려운 PMOS에 대하여 0.1 μ m 이하의 얇은 접합부를 갖는 반도체 소자를 제조한다.

따라서, 본 발명은 반도체 소자에서 구동능력을 높이고, 핫 캐리어 효과를 감소시킬 수 있으며, 반도체 소자의 고집적화를 이룰 수 있다.

도면

도 2

명세서

[발명의 명칭]

반도체 소자의 제조방법

[도면의 간단한 설명]

제2A 내지 2C도는 본 발명에 제1실시예에 의한 PMOS 트랜지스터의 접합부를 형성하는 공정단계를 설명하기 위해 도시한 소자의 단면도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 반도체 소자의 제조방법에 있어서, 게이트 산화막과 게이트 전극을 N-웰의 반도체 기판상에 형성하고 상기 게이트전극 측벽에 산화막과 질화물 스페이서를 형성하는 단계와, 상기 질화물 스페이서와 상기 게이트 전극을 포함한 전체구조상에 자연 산화막과 폴리실리콘막을 형성하는 단계와, 상기 반도체 기판에 P-LDD 구조를 만들기 위하여, 상기 폴리실리콘막내에 BF₃이온을 주입하고, 열처리 공정을 실시하는 단계와, 상기 폴리실리콘막과 상기 자연산화막을 식각하여 상기 질화물 스페이서의 측벽에 폴리실리콘 스페이서를 형성하는 단계와, 상기 게이트 전극의 측벽에 형성된 상기 질화물 스페이서와 상기 폴리실리콘 스페이서를 포함한 전체구조상에 희생산화막을 형성하는 단계와, P⁺소오스/드레인 불순물 이온 주입공정을 실시한 후, 상기 희생산화막을 제거하고, 열처리공정을 실시하여 P⁺이온 영역과 P⁺이온 영역으로된 소오스/드레인 접합부를 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2. 제 1항에 있어서, 상기 P⁺LDD구조를 형성하기 위한 열처리공정은 PTA방식으로 약 1000℃의 온도하에서 20 내지 25초 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3. 제1항에 있어서, 상기 산화물 스페이서는 상기 열처리 공정동안에 상기 폴리실리콘막내에 주입된 BF₃이온중 붕소이온이 상기 산화물 전극으로 확산되는 것을 방지하기 위하여, 2000 내지 3000 Å의 두께로 증착한 후 불행히도 질화물 식각공정에 의해 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4. 제1항에 있어서, 상기 자연 산화막은 상기 열처리 공정동안에 상기 폴리실리콘막내에 주입된 BF_3 이온중 붕소이온이 상기 반도체 기판에 과도한 깊이로 확산되는 것을 방지하기 위하여, 40 내지 100nm의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5. 제 1항에 있어서, 상기 폴리실리콘막은 3000 내 4000 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6. 반도체 소자의 제조방법에 있어서, 게이트 산화막과 게이트 전극을 N-웰의 반도체 기판상에 형성하고, 상기 게이트 전극 측벽에 질화물 스페이서를 형성하는 단계와, 상기 질화물 스페이서와 게이트 전극을 포함한 전체구조상에 BSG를 증착하는 단계와, 상기 게이트 전극의 측벽에 형성된 상기 질화물 스페이서와 상기 BSG 스페이서를 포함한 전체구조상에 회생 산화막을 형성하는 단계와, P 소오스/드레인 불순물 이온 주입공정을 실시한 후, 상기 회생 산화막을 제거하고, 열처리공정을 실시하여 P 이온 영역과 P 이온 영역으로 된 소오스/드레인 접합부를 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7. 제 6항에 있어서, 상기 질화물 스페이서는 상기 열처리 공정동안에 상기 BSG내에 함유된 붕소이온이 상기 게이트 전극으로 확산되는 것을 방지하기 위하여, 2000 내지 3000 Å의 두께로 증착한 후 불렛 질화를 식각공정에 의해 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8. 제 6항에 있어서, 상기 BSG는 3000내지 4000 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도 2

